

ИНФОРМАТИКА, ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА И УПРАВЛЕНИЕ

УДК 681.32

DOI 10.21685/2072-3059-2016-2-1

А. Г. Антипов, Е. И. Гурин, А. В. Терентьев

СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР ПРЕДВАРИТЕЛЬНОЙ ОБРАБОТКИ ИНФОРМАЦИИ НА ОСНОВЕ ПЛИС

Аннотация.

Актуальность и цели. В настоящее время в различных областях науки и техники широко применяются цифровые методы обработки непрерывно поступающей информации на высокой частоте. Во многих случаях быстродействие сигнальных процессоров недостаточно, единственным возможным вариантом является реализация специализированных процессоров на программируемых логических интегральных схемах (ПЛИС). В то же время в научно-технической литературе достаточно редко встречаются публикации по этой тематике, поэтому тема статьи представляется актуальной. Цель исследования – разработка специализированных процессоров на основе ПЛИС, позволяющих выполнять предварительные вычисления характеристик непрерывно поступающей информации на высоких частотах и передачу результатов для окончательной обработки центральному процессору.

Материалы и методы. Для обеспечения высокого быстродействия при обработке непрерывно поступающей информации используются конвейерные методы вычислений и методы цифровой обработки сигналов.

Результаты. Разработана структура специализированного конвейерного процессора цифровой обработки сигналов на основе ПЛИС предварительных вычислений и передачи результатов для окончательной обработки центральному процессору. Исследованы характеристики разработанного процессора. Проведено экспериментальное исследование узлов разработанного процессора.

Выводы. Рассмотренный в статье способ выбора параметров узлов процессора позволяет сократить аппаратные затраты. Предложенная методика расчета частотных характеристик позволяет определить характеристики внутренних сигналов и узлов процессора внутри ПЛИС, что упрощает настройку реальных схем.

Ключевые слова: специализированный процессор, ПЛИС, цифровая обработка сигналов, квадратурное преобразование, программа обработки.

А. G. Antipov, E. I. Gurin, A. V. Terent'ev

A SPECIAL-PURPOSE PROCESSOR OF INFORMATION PREPROCESSING ON FPGA

Abstract.

Background. Nowadays, methods of digital processing of continuously incoming information at a high frequency are widely used in various fields of science and technology. In many cases the performance of signal processors is not enough, the only option is to implement specialized processors on FPGAs. In scientific literature publications on the subject matter are quite rare, so the subject of the article seems to be quite relevant. The purpose of the study is to develop specialized processors based on FPGA allowing to perform preliminary calculations of characteristics of continuously incoming information at high frequencies and transmission of the results for the final processing to the CPU.

Materials and methods. To ensure high performance of continuously incoming information processing the authors used conveyor calculation methods and methods of digital signal processing

Results. The authors developed a structure of the specialized pipelined processor of FPGA-based digital signal processing for preprocessing and transmission of the results for the final processing to the CPU and experimentally studied the units of the developed processor.

Conclusions. The method for selection of processor nodes parameters, described in the paper, can reduce hardware costs. The methods for calculating frequency characteristics allow to determine the characteristics of internal signals and nodes of the processor inside the FPGA, which simplifies the setup of real circuits.

Key words: special-purpose processor, FPGA, digital signal processing, quadrature conversion, software application.

Введение

В настоящее время в радиолокационных системах, в системах передачи данных и других областях науки и техники широко применяются цифровые методы обработки сигналов и другой информации [1–5]. Применение цифровых методов требует значительных вычислительных затрат, при этом часто системы обработки информации проектируются в виде распределенных вычислительных систем и создаются двухуровневыми. Основная обработка выполняется в центральном процессорном блоке, к которому подключаются блоки первичной обработки информации. Блок предварительной обработки информации представляет собой специализированный процессор, в котором с высокой скоростью выполняются относительно простые арифметические операции. Это позволяет разгрузить центральный процессорный блок.

1. Структура процессора

На рис. 1 приведена структура типового процессора предварительной обработки информации. Аналого-цифровой преобразователь (АЦП) выполняет преобразование входного аналогового сигнала в цифровую последовательность. Следующей операцией обычно является перенос частот и переход к комплексному представлению сигналов [1]. Данные операции выполняются в блоках квадратурного преобразования КП1 и КП2.

В общем случае квадратурное преобразование для дискретного сигнала представляет умножение на $e^{j\omega t} = \cos \omega t + j \sin \omega t$ ($\omega = 2\pi f_o$, f_o – опорная частота) при переносе сигнала в область более высоких частот и умножение на $e^{-j\omega t} = \cos \omega t - j \sin \omega t$ при переносе в область низких частот [1]. Аналого-

цифровое преобразование и квадратурное преобразование выполняется на высоких частотах с частотой дискретизации f_s , обычно $f_s \geq 100$ МГц. Последующие операции могут выполняться на более низкой частоте f_d . Понижение частоты (децимация) выполняется в блоках Д1 и Д2, при этом перед децимацией должна выполняться фильтрация в фильтрах нижних частот Ф1 и Ф2. Одним из требований в таких схемах является использование фильтров с конечной импульсной характеристикой (КИХ) вследствие линейности их фазо-частотной характеристики.

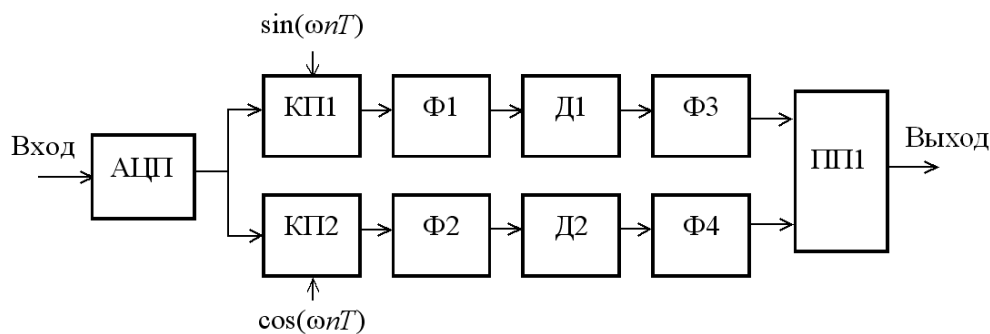


Рис. 1. Структура типового процессора предварительной обработки информации

Таким образом, в данном процессоре необходимо выполнять большое количество вычислений: вычисление тригонометрических функций, операции умножения и сложения в блоках квадратурного преобразования и КИХ-фильтрах. Все эти операции выполняются на частотах более 100 МГц. Быстродействие современных сигнальных процессоров не позволяет использовать их в данной разработке, единственным возможным вариантом на данный момент является реализация на программируемых логических интегральных схемах (ПЛИС), которые позволяют получить быстродействие на один-два порядка выше по сравнению с сигнальными процессорами [6]. Высокое быстродействие достигается использованием конвейерных методов вычислений с большим количеством ступеней конвейера и высоким уровнем параллелизма [7-9].

2. Параметры фильтров

Согласно [1] перед децимацией, выполняемой в блоках Д1 и Д2, необходимо подавить в сигнале все гармоники с частотой выше $f_d / 2$. Заключительная фильтрация для подавления гармоник выше f_p выполняется в фильтрах Ф3 и Ф4. Следует отметить, что попытка исключить фильтры Ф3 и Ф4 и получить требуемые амплитудно-частотные характеристики (АЧХ) в фильтрах Ф1 и Ф2 приводит к необходимости создания КИХ-фильтров высокого порядка (более 150), что приводит к недопустимому увеличению аппаратных затрат. Поэтому используется двухступенчатая схема на разных частотах, так как известно [1], что реализация фильтров на низких частотах более выгодна.

В соответствии с известными методами узлы разрабатываемой схемы имеют следующие характеристики. Фильтры $\Phi 1$ и $\Phi 2$ имеют полосу пропускания от нуля до верхней границы рабочих частот f_g и полосу подавления от $f_d/2$ и выше (кривая 1 на рис. 2). Окончательное подавление сигналов в диапазоне $f_p \dots f_d/2$ производится на частоте f_d в фильтрах $\Phi 3$ и $\Phi 4$, которые имеют АЧХ в соответствии с кривой 2 на рис. 2. Такое распределение более эффективно, чем получение необходимых характеристик только в $\Phi 1$ и $\Phi 2$, но также требует значительных аппаратных затрат. В настоящей работе предлагается снизить требования к фильтрам $\Phi 1$ и $\Phi 2$, увеличив нижнюю границу полосы подавления до $f_d - f_p$ (кривая 3 на рис. 2), где $f_g < f_p < f_d/2$. Это является нарушением известных требований и приводит к наложению частот, однако в данном случае это не вызывает негативных последствий по следующим причинам. Частоты в области $f_d/2 \dots f_d - f_p$, которые в соответствии с известными правилами должны исключаться из сигнала, после децимации преобразуются в частоты в диапазоне $f_p \dots f_d/2$. Эти частоты не накладываются на полезный сигнал и будут подавлены в фильтрах $\Phi 3$ и $\Phi 4$. Такой подход позволяет снизить требования к фильтрам $\Phi 1$ и $\Phi 2$ и, как следствие, уменьшить аппаратные затраты.

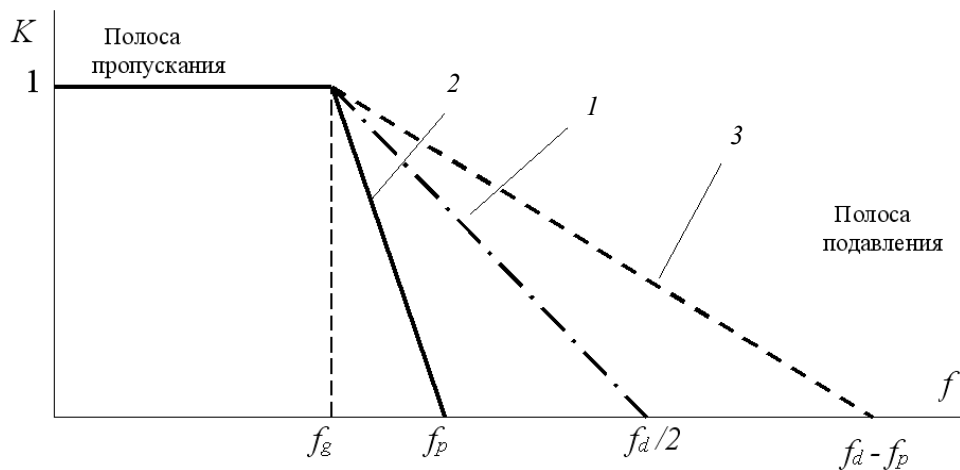


Рис. 2. Амплитудно-частотные характеристики фильтров нижних частот

Рассмотрим конкретный пример. Входной сигнал имеет диапазон частот от 1 до 29 МГц, квантуется по уровню 16 бит, частота дискретизации $f_s = z$ 120 МГц. Квадратурное преобразование выполняется с опорной частотой $f_o = 15$ МГц. После квадратурного преобразования вырабатывается комплексный сигнал с основной частотой в диапазоне $(-14 \dots +14)$ МГц ($f_g = 14$ МГц) и дополнительный сигнал вне этого диапазона. Для подготовки к децимации выполняется фильтрация в фильтрах $\Phi 1$ и $\Phi 2$ на частоте 120 МГц. После фильтрации выполняется децимация (прореживание) с переходом на частоту $f_d = 40$ МГц, на которой выполняется фильтрация в $\Phi 3$ и

Ф4, а затем передача в центр окончательной обработки через приемопередатчик ПП1. Передаваемый для окончательной обработки сигнал должен содержать частоты до 14 МГц с минимальными искажениями и не иметь частот выше $f_p = 16$ МГц.

Для реализации спецпроцессора использовалась ПЛИС EP4CGX30BF14C8 фирмы Altera. Согласно [1] перед децимацией необходимо подавить в сигнале все гармоники с частотой выше 20 МГц. Попытка получить амплитудно-частотную характеристику вида 2 на рис. 2 в фильтрах Ф1 и Ф2 приводит к необходимости создания фильтра с конечной импульсной характеристикой 185 порядка. Ресурсы используемой ПЛИС не позволяют реализовать фильтры с требуемыми характеристиками. При использовании двухступенчатой фильтрации на фильтрах Ф1–Ф4 в соответствии с известными методами фильтры Ф1 и Ф2 могут иметь полосу пропускания 0–14 МГц и полосу подавления 20 МГц и выше, так как в соответствии с [1] при децимации до 40 МГц из сигнала в соответствии с теоремой Котельникова необходимо убрать сигналы с частотой выше 20 МГц. Окончательное подавление сигналов выше 16 МГц производится в фильтрах Ф3 и Ф4 на частоте 40 МГц. Такое распределение позволяет использовать фильтры Ф1–Ф4 примерно 60 порядка.

Если снизить требования к фильтрам Ф1 и Ф2, увеличив границу полосы подавления до $f_d - f_p = 24$ МГц, то порядок этих фильтров снижается с 60 до 36. В данном случае это не приводит к негативным последствиям, так как частоты из области $f_d / 2 \dots f_d - f_p$ (20–24 МГц), которые должны исключаться из сигнала, после децимации преобразуются в частоты в диапазоне $f_p \dots f_d / 2 = 16–20$ МГц и будут подавлены в фильтрах Ф3 и Ф4.

3. Модель дециматора

Для проверки последнего утверждения была составлена простейшая модель дециматора, на вход которого подавался сигнал

$$x_n = a_1 \sin(2\pi f_1 n) + a_2 \sin(2\pi f_2 n) + a_3 \sin(2\pi f_3 n) + a_4 \sin(2\pi f_4 n),$$

где $f_i = (20+i)$ МГц, $a_1 = 0,9$ В, $a_2 = 0,6$ В, $a_3 = 0,3$ В, $a_4 = 0,1$ В.

Как и следовало ожидать, модуль дискретного преобразования Фурье этого сигнала имеет вид, приведенный на рис. 3.

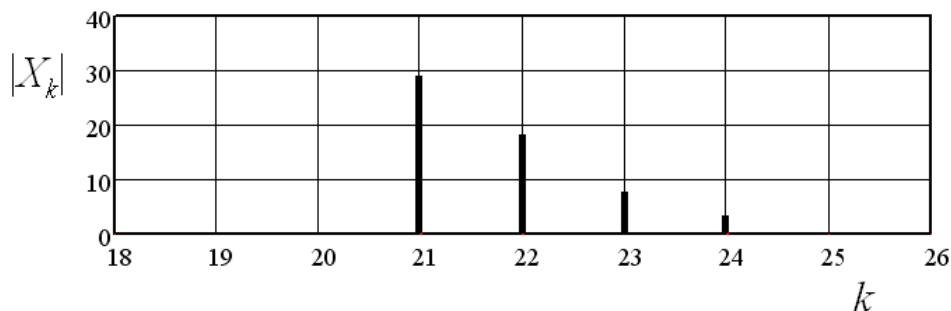


Рис. 3. Спектр сигнала на входе дециматора

Дискретное преобразование Фурье здесь и далее выполняется по классической формуле [1]:

$$X_k = \sum_{n=0}^{N-1} x_n e^{-j \frac{2kn}{N} \pi},$$

где N – длина входной последовательности; k – номер гармоники.

После децимации модуль спектра сигнала показан на рис. 4.

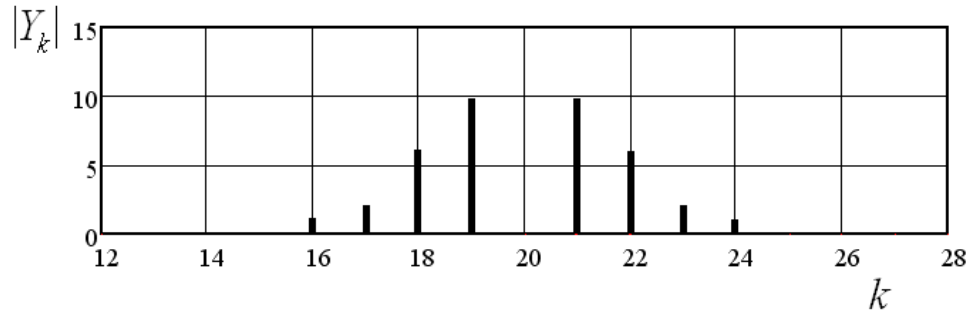


Рис. 4. Спектр сигнала на выходе дециматора

Из рис. 4 видно, что имеет место эффект наложения частот (aliasing), но частоты не выходят за границы диапазона $f_p \dots f_d / 2 = 16 \dots 20$ МГц и могут быть подавлены в фильтрах Ф3 и Ф4. Данный подход позволяет снизить требования к фильтрам Ф1 и Ф2, в частности, увеличение границы полосы подавления с 20 до 24 МГц позволяет снизить порядок фильтров с 60 до 36, т.е. снизить аппаратные затраты на эти фильтры примерно на 40 %.

4. Особенности вычисления результата в фильтрах

В общем случае нерекурсивный фильтр вычисляет результат y_n по следующей формуле:

$$y_n = \sum_{i=0}^{M-1} b_i x_{n-i},$$

где b_i – коэффициенты фильтра; x_{n-i} – значения входного сигнала; $(M-1)$ – порядок фильтра.

При симметричных коэффициентах фильтра и четном M последняя формула будет иметь следующий вид:

$$y_n = \sum_{i=0}^{\frac{M}{2}-1} b_i (x_{n-i} + x_{n-M+i+1}). \quad (1)$$

Таким образом, последовательность вычисления по формуле (1) будет следующей. Сначала в $M/2$ сумматорах одновременно вычисляются суммы

x_{n-i} и $x_{n-M+i+1}$, затем в $M/2$ умножителях вычисляются произведения этих сумм на коэффициенты. После этого необходимо вычислить сумму $M/2$ произведений. Последняя операция выполняется в конвейерном сумматоре. На рис. 5 приведен фрагмент возможного варианта сумматора на 8 входов, содержащего двухвходовые комбинационные сумматоры СМ и регистры РГ. При увеличении числа слагаемых увеличивается количество сумматоров, а также несколько увеличивается время вычисления за счет увеличения ступеней конвейера. Если число слагаемых не равно 2^p (p – целое), то ряд комбинационных сумматоров СМ может отсутствовать, однако регистры РГ исключать нельзя: каждое слагаемое должно проходить одинаковое количество регистров, чтобы в одном цикле не допускать сложений для разных отсчетов.

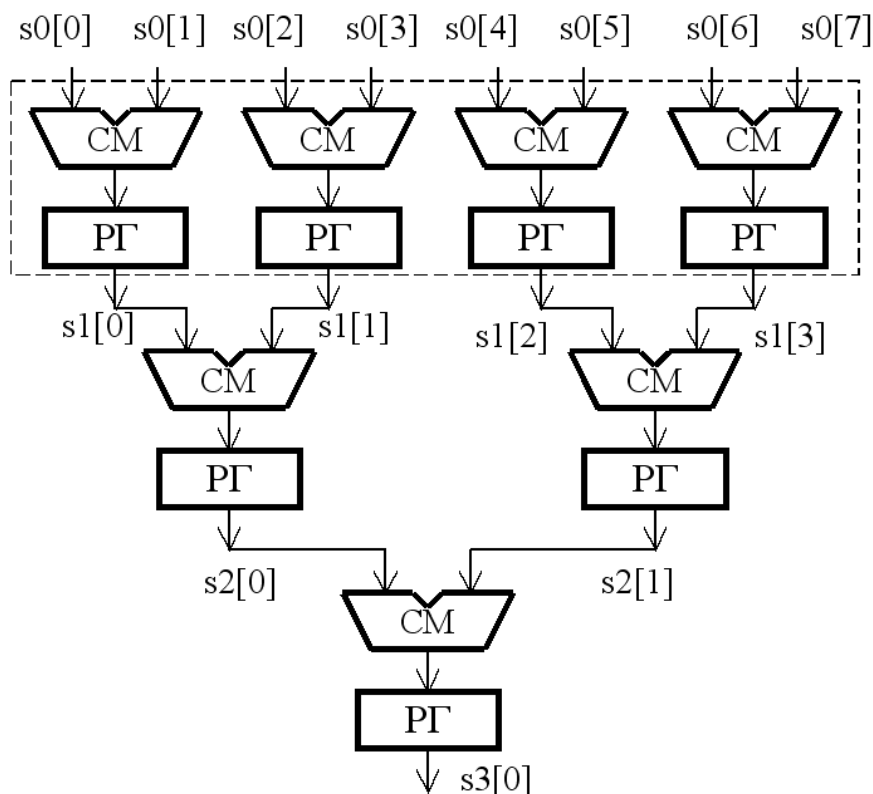


Рис. 5. Многовходовой конвейерный сумматор

Разрядность произведений и слагаемых определяется требуемой точностью. Чтобы уменьшить погрешность вычислений, можно на каждом этапе увеличивать разрядность промежуточных результатов. Разрядность сумматоров на каждом этапе увеличивается на 1, разрядность произведения равна сумме разрядностей сомножителей.

Рассмотрим конкретный пример. Пусть разрядность входных данных составляет 17. После сложения на первом этапе разрядность суммы составит 18. В ПЛИС EP4CGX30BF14C8 имеется 80 18-разрядных умножителей.

Наиболее эффективно эти множители будут использоваться при 18-разрядных сомножителях. Поэтому коэффициенты должны иметь 18 двоичных разрядов, а результат произведения будет иметь 36 двоичных разрядов. Пусть $M = 62$, два коэффициента замещаются нулями, тогда получим 2^6 коэффициентов. В этом случае на первом этапе получим 2^5 18-разрядных значений, после умножений их на коэффициенты получим 2^5 36-разрядных произведений. Далее в течение пяти тактов в конвейерном сумматоре вычисляется конечный результат, при этом разрядность данных увеличивается до 41.

При таком подходе упрощается ввод схемы и ее отладка. Например, для верхнего уровня часть схемы, обведенная пунктиром на рис. 5, на языке Verilog будет задаваться следующим образом:

```
always @ (posedge clk)
begin
    for (i = 0; i < 4; i = i + 8'd1)
        s1[i] <= s0[2*i] + s0[2*i+1];
    ....
```

В зависимости от значений коэффициентов и других факторов от двух до четырех старших разрядов y_n в большинстве случаев оказываются нулевыми. И если нам нужно получить N -разрядный результат, то в качестве результата следует брать не старшие разряды с 40-го по $(40 - N + 1)$ -й, а разряды с $(40 - m)$ -го по $(40 - N - m + 1)$ -й. Величину m можно определить по результатам моделирования или экспериментально. При таком формировании результата необходимо использовать арифметику с насыщением, в которой при переполнении в качестве результата подставляется максимально возможное по абсолютной величине значение.

5. Оценка частотных характеристик

Важным этапом является настройка процессора. Поскольку в данном процессоре выполняется обработка частотных характеристик, то необходимо иметь средства экспериментальной оценки частотных характеристик внутренних сигналов. Для этого использовалась следующая методика. С помощью логического анализатора Signal Tap, входящего в состав системы проектирования Quartus II, фиксируются и записываются в файл последовательности сигналов в нужной точке схемы. Затем эти последовательности считываются из файла программой Mathcad или MATLAB, где по известным методам выполняется дискретное преобразование Фурье. В данной работе использовалась программа Mathcad.

Рассмотрим примеры применения этой методики. С помощью системы проектирования Quartus II был создан блок, генерирующий последовательность

$$x_n = a_1 \sin(2\pi f_1 n) + a_2 \sin(2\pi f_2 n), \quad (2)$$

где $f_1 = 7$ МГц, $f_2 = 21,5$ МГц, $a_1 = a_2 = 0,5$, частота дискретизации $f_s = 120$ МГц. Этот сигнал подается на дециматор с частотой $f_d = 40$ МГц, а затем на фильтр Ф3. Схема была составлена на языке Verilog и введена с помощью системы проектирования Quartus II в ПЛИС. Затем с помощью

Signal Tap были зафиксированы и записаны в файл последовательности на входе дециматора и выходе фильтра Ф3. Информация из файла была считана программой Mathcad и выполнено дискретное преобразование Фурье. Спектр сигнала x_n показан на рис. 6 и соответствует формуле (2).

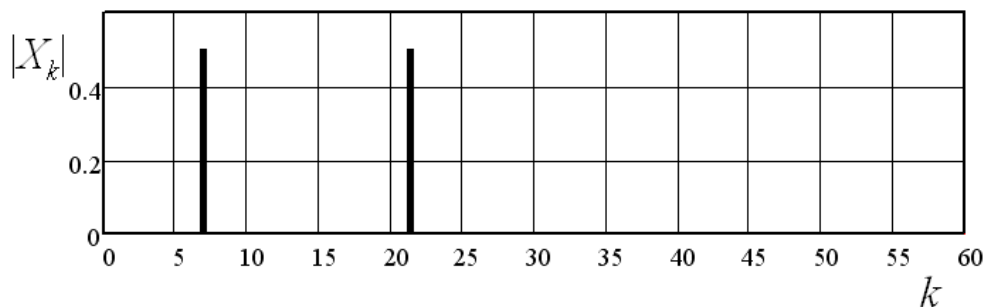


Рис. 6. Спектр сигнала x_n

В этом сигнале гармоника $f_1 = 7$ МГц лежит в полосе рабочих частот и она должна быть пропущена на выход. Гармоника $f_2 = 21,5$ МГц лежит за пределами полосы рабочих частот, она должна быть подавлена. На рис. 7 показан спектр сигнала на выходе фильтра. Как следует из рисунка, указанные выше требования выполняются. В данном примере гармоника $f_2 = 21,5$ МГц находится в диапазоне $f_d / 2 \dots f_d - f_p$ (20–24 МГц), во время децимации она трансформируется в гармонику с частотой 18,5 МГц, а затем подавляется фильтром Ф3. На рис. 7 ее не видно, так как фильтр АЗ подавляет частоты в этом диапазоне.

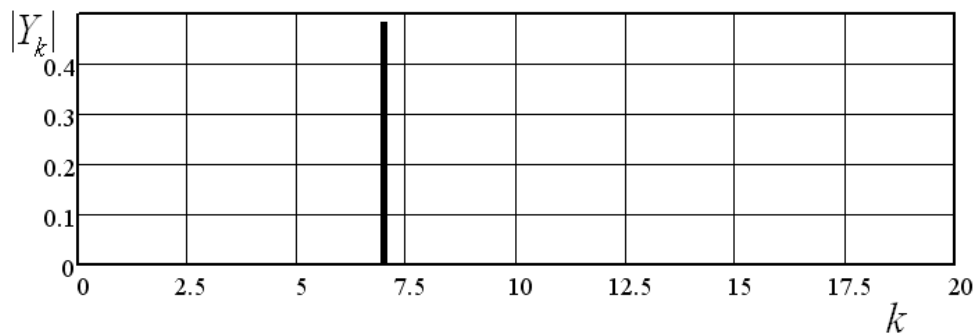


Рис. 7. Спектр сигнала на выходе фильтра Ф3

Рассмотрим другой пример. Пусть в формуле (2) $f_2 = 27,5$ МГц, f_1 – без изменений. Спектр сигнала x_n показан на рис. 8.

В данном примере гармоника f_2 находится вне диапазона $f_d / 2 \dots f_d - f_p$ (20–24 МГц), после децимации из-за эффекта наложения эта гармоника проявляется на частоте 12,5 МГц, она накладывается на полезный сигнал и уже не подавляется фильтрами (рис. 9).

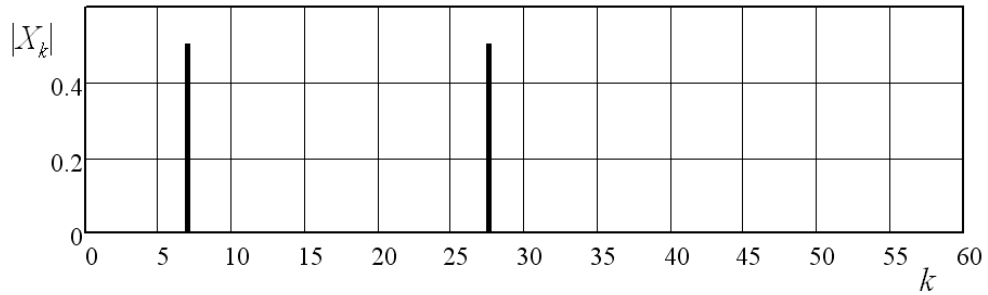


Рис. 8. Спектр сигнала на входе дециматора

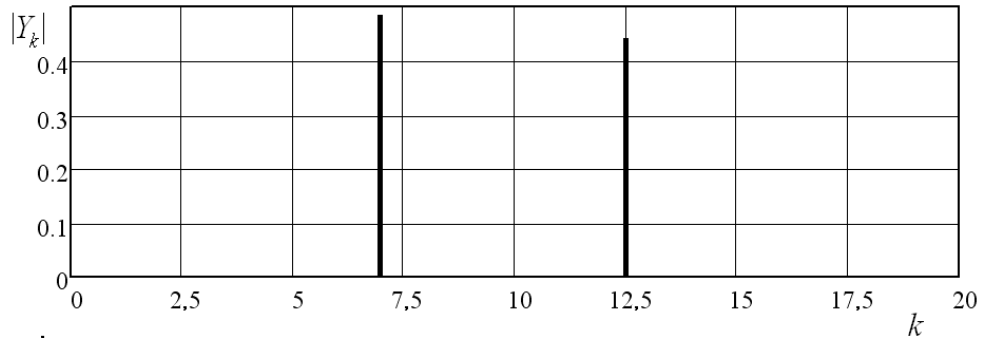


Рис. 9. Спектр сигнала на выходе фильтра

Более эффективную проверку можно осуществить с помощью сигналов, содержащих большое количество гармоник. На ресурсах ПЛИС был создан генератор, вырабатывающий последовательность:

$$x_n = \sum_{m=1}^M a_m \sin(2\pi f_m n),$$

где M – количество гармоник в сигнале.

На рис. 10 приведен спектр одного из таких сигналов для $M=8$, $f_1 = 10$ МГц, $f_m = f_1 + (m-1) \cdot 2$ МГц, $a_m = 0,125$.

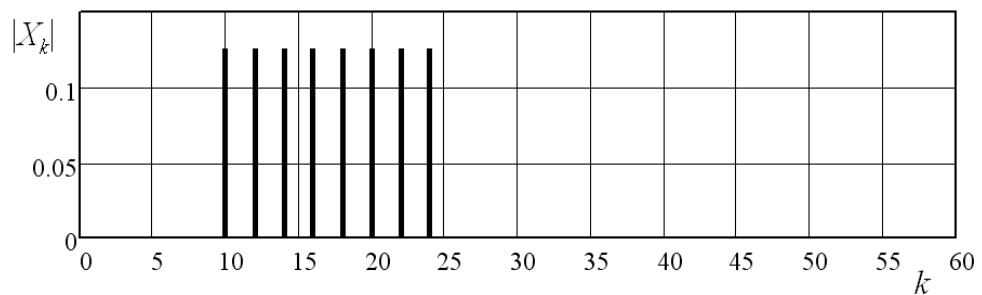


Рис. 10. Спектр сигнала x_n

Сигнал содержит гармоники, находящиеся в рабочей области (10, 12 и 14 МГц), в области $f_p \dots f_d / 2$ (16, 18 и 20 МГц) и в области

$f_d / 2 \dots f_d - f_p$ (22 и 24 МГц). Как и в предыдущих примерах, все узлы, включая генераторы последовательностей x_n , были реализованы на ресурсах ПЛИС, внутренние сигналы контролировались с помощью Signal Tap, дискретное преобразование Фурье было выполнено в Mathcad. Результаты вычислений приведены на рис. 11.

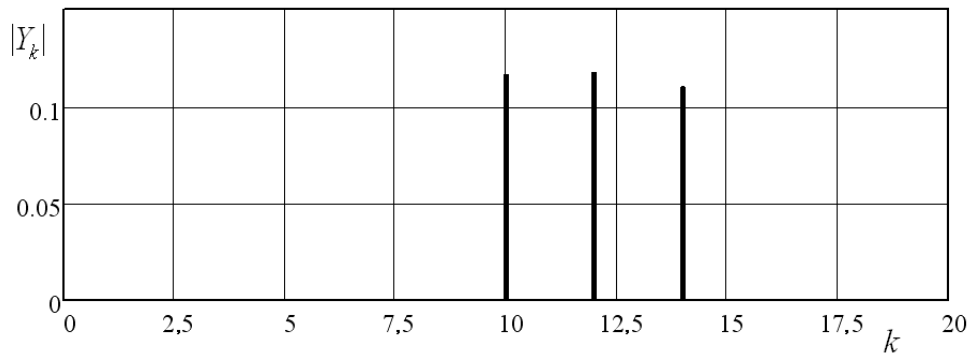


Рис. 11. Спектр сигнала на выходе фильтра Ф3

Спектр сигнала на выходе фильтра свидетельствует о нормальной работе фильтра. Сигналы, находящиеся в рабочей области, практически не изменились. В то же время сигналы, находящиеся за пределами рабочего диапазона, в том числе в области частот выше $f_d / 2$, подавлены.

Заключение

Разработана структура специализированного конвейерного процессора цифровой обработки сигналов на основе ПЛИС для предварительных вычислений и передачи результатов для окончательной обработки центральному процессору. Исследованы характеристики разработанного процессора. Проведено экспериментальное исследование узлов разработанного процессора.

Рассмотренный в статье способ выбора параметров узлов процессора позволяет сократить аппаратные затраты. Предложенная методика расчета частотных характеристик позволяет определить характеристики внутренних сигналов и узлов процессора внутри ПЛИС, что упрощает настройку реальных схем.

Список литературы

1. **Лайонс, Р.** Цифровая обработка сигналов / Р. Лайонс. – М. : Бином-Пресс, 2006. – 656 с.
2. **Pasko, R.** High-Performance Flexible All-Digital Quadrature Up and Down Converter Chip / R. Pasko, L. Rijnders, P. Schaumont, S. Vernalde, D. Durackova // IEEE Journal of Solid-State Circuits. – 2001. – Vol. 36, № 3. – P. 408–416.
3. **Ветров, Ю. В.** Повышение точности пространственного позиционирования объектов за счет использования сигналов спутниковых навигационных систем / Ю. В. Ветров, А. С. Давыденко, О. В. Царик // Научно-технические ведомости Санкт-Петербургского государственного политехнического университета. Информатика. Телекоммуникации. Управление. – 2009. – Т. 2, № 76. – С. 14–20.

4. Патент № 2450422 Российская Федерация, МКИ H03D 9/00. Многоканальное адаптивное радиоприемное устройство / Колесников В. В., Смирнов П. Л., Соломатин А. А., Терентьев А. В., Царик О. В., Шепилов А. М., Шишков А. Я. – № 2011119466/08 ; заявл. 13.05.2011 ; опубл. 10.05.2012, Бюл. № 13.
5. Патент № 2458360 Российская Федерация, МКИ G03S 13/46. Способ и устройство определения координат источника радиоизлучения / Наливаев А. В., Наумов А. С., Смирнов П. Л., Соломатин А. И., Терентьев А. В., Царик О. В., Шепилов А. М. – № 2010151734/07 ; заявл. 16.12.2010 ; опубл. 10.08.2012, Бюл. № 22.
6. **Максфилд, К.** Проектирование на ПЛИС. Курс молодого бойца / К. Максфилд. – М. : ДОДЭКА, 2007. – 408 с.
7. **Тарасов, И. Е.** Разработка систем цифровой обработки сигналов на базе ПЛИС / И. Е. Тарасов, Д. С. Потехин. – М. : Горячая линия-Телеком, 2007. – 250 с.
8. **Воеводин, В. В.** Параллельные вычисления / В. В. Воеводин, Вл. В. Воеводин. – СПб. : БХВ-Петербург, 2002. – 608 с.
9. **Graham, P.** Reconfigurable Computing Accelerating Computation with Field-Programmable Gate Arrays / P. Graham, M. Gokhale. – Springer, The Netherlands, 2005. – 238 с.

References

1. Layons R. *Tsifrovaya obrabotka signalov* [Digital Signal Processing]. Moscow: Binom-Press, 2006, 656 p.
2. Pasko R., Rijnders L., Schaumont P., Vernalde S., Durackova D. *IEEE Journal of Solid-State Circuits*. 2001, vol. 36, no. 3, pp. 408–416.
3. Vetrov Yu. V., Davydenko A. S., Tsarik O. V. *Nauchno-tekhnicheskie vedomosti Sankt-Peterburgskogo gosudarstvennogo politekhnicheskogo universiteta. Informatika. Telekommunikatsii. Upravlenie* [Scientific and technical bulletin of Saint-Petersburg State Polytechnic University. Informatics. Telecommunication. Control]. 2009, vol. 2, no. 76, pp. 14–20.
4. Patent № 2450422 Russian Federation, MКИ H03D 9/00. *Mnogokanal'noe adaptivnoe radiopriemnoe ustroystvo* [A multichannel adaptive radio receiver]. Kolesnikov V. V., Smirnov P. L., Solomatin A. A., Terent'ev A. V., Tsarik O. V., Shepilov A. M., Shishkov A. Ya. № 2011119466/08; appl. 13.05.2011; publ. 10.05.2012, Bull. № 13.
5. Patent № 2458360 Russian Federation, MКИ G03S 13/46. *Sposob i ustroystvo opredeleniya koordinat istochnika radioizlucheniya* [A method and a device for radio radiation source coordinates determination]. Nalivaev A. V., Naumov A. S., Smirnov P. L., Solomatin A. I., Terent'ev A. V., Tsarik O. V., Shepilov A. M. № 2010151734/07; appl. 16.12.2010; publ. 10.08.2012, Bull. № 22.
6. Maksfild K. *Proektirovanie na PLIS. Kurs molodogo boytsa* [FPGA design. A crash course]. Moscow: DODEKA, 2007, 408 p.
7. Tarasov I. E., Potekhin D. S. *Razrabotka sistem tsifrovoy obrabotki signalov na baze PLIS* [Development of FPGA-based digital signal processing systems]. Moscow: Goryachaya liniya-Telekom, 2007, 250 p.
8. Voevodin V. V., Voevodin Vl. V. *Parallel'nye vychisleniya* [Parallel computation]. Saint-Petersburg: BKhV-Peterburg, 2002, 608 p.
9. Graham P., Gokhale M. *Reconfigurable Computing Accelerating Computation with Field-Programmable Gate Arrays*. Springer, The Netherlands, 2005, 238 p.

Антипов Алексей Геннадьевич
инженер-конструктор, ООО «Пеленг»,
(Россия, г. Пенза, ул. Дружбы, 6)

Antipov Aleksey Gennad'evich
Design engineer, "Peleng" LLC
(6 Druzhby street, Penza, Russia)

E-mail: peleng.su@gmail.com

Гурин Евгений Иванович

доктор технических наук, профессор,
кафедра вычислительной техники,
Пензенский государственный
университет (Россия, г. Пенза,
ул. Красная, 40)

E-mail: gurin2@yandex.ru

Gurin Evgeniy Ivanovich

Doctor of engineering sciences, professor,
sub-department of computer engineering,
Penza State University (40 Krasnaya
street, Penza, Russia)

Терентьев Андрей Викторович

заместитель начальника отдела,
ОАО «СТЦ Технологии Радиоконтроля»
(Россия, г. Санкт-Петербург, ул. Софьи
Ковалевской, д.20, корп. 1)

E-mail: gurin2@yandex.ru

Terent'ev Andrey Viktorovich

Deputy department manager,
«JSC Radiomonitoring Technology»
(building 1, 20 Sofyi Kovalevskoy street,
Saint-Petersburg, Russia)

УДК 681.32

Антипов, А. Г.

Специализированный процессор предварительной обработки информации на основе ПЛИС / А. Г. Антипов, Е. И. Гурин, А. В. Терентьев // Известия высших учебных заведений. Поволжский регион. Технические науки. – 2016. – № 2 (38). – С. 5–17. DOI 10.21685/2072-3059-2016-2-1